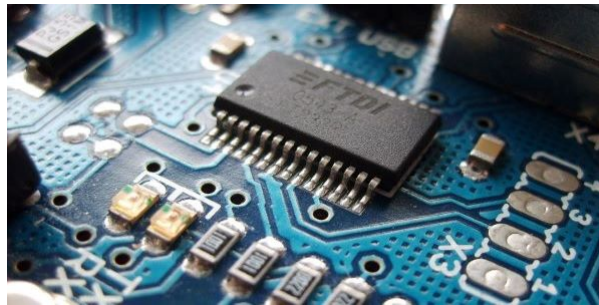




[RE-251] ІНФОРМАТИКА. ЧАСТИНА 2. ОСНОВИ ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ



Робоча програма навчальної дисципліни (Силабус)

Реквізити навчальної дисципліни

Рівень вищої освіти	Перший (бакалаврський)
Галузь знань	-
Спеціальність	-
Освітня програма	172Б ІТР - Інтелектуальні технології радіоелектронної техніки (ЄДЕБО id: 49229)172Б ІКР - Інформаційна та комунікаційна радіоінженерія (ЄДЕБО id: 49228)172Б РКС - Радіотехнічні комп'ютеризовані системи (ЄДЕБО id: 49227)172Б ІТРЕТ+ - Інтелектуальні технології радіоелектронної техніки (ЄДЕБО id: 57907)172Б ІКРІ+ - Інформаційна та комунікаційна радіоінженерія (ЄДЕБО id: 57910)172Б РТКС+ - Радіотехнічні комп'ютеризовані системи (ЄДЕБО id: 57920)172Б ТРЕБ - Технології радіоелектронної боротьби (ЄДЕБО id: 63920)
Статус дисципліни	Нормативна
Форма здобуття вищої освіти	Очна
Рік підготовки, семестр	1 курс, осінній семестр
Обсяг дисципліни	4 кред. (Лекц. 36 год, Практ. год, Лаб. 36 год, СРС. 48 год)
Семестровий контроль/контрольні заходи	Залік
Розклад занять	https://rozklad.kpi.ua
Мова викладання	Українська
Інформація про керівника курсу / викладачів	Лекц.: Могильний С. Б. , Лаб.: Могильний С. Б. , СРС.: Могильний С. Б.
Розміщення курсу	http://iot.kpi.ua/lms/course/view.php?id=31

Програма навчальної дисципліни

1. Опис навчальної дисципліни, її мета, предмет вивчення та результати навчання

1.1. Опис навчальної дисципліни

Навчальна дисципліна складається з одного розділу

1.2. Мета навчальної дисципліни

Метою навчальної дисципліни є підготовка фахівця, який має базові компетенції з розробки схем реалізації комбінаційні та послідовнісні цифрових пристроїв (ЦП) на основі логічної функції, опису базових елементів на мові Verilog для реалізації ЦП на FPGA. Метою навчальної дисципліни є формування у студентів **компетентностей**:

- Здатність застосовувати знання у практичних ситуаціях (ЗК 2).
- Знання та розуміння предметної області та розуміння професійної діяльності (ЗК 4).
- Вміння виявляти, ставити та вирішувати проблеми. (ЗК 8).
- Здатність вирішувати стандартні завдання професійної діяльності на основі інформаційної та бібліографічної культури із застосуванням інформаційно-комунікаційних технологій і з урахуванням основних вимог інформаційної безпеки (ФК 2).
- Здатність використовувати базові методи, способи та засоби отримання, передавання, обробки та зберігання інформації (ФК 3).
- Здатність здійснювати комп'ютерне моделювання пристроїв, систем і процесів з використанням універсальних пакетів прикладних програм (ФК 4).
- Вміння описувати базові елементи ЦП на мові Verilog.
- Розроблення проектів простих ЦП на ПЛІС в системі автоматизованого проектування Quartus.

1.3. Предмет вивчення дисципліни

Предмет навчальної дисципліни – сукупність рішень математики логіки та опису на мові HDL базових елементів ЦП, методи мінімізації логічних функцій для реалізації комбінаційних ЦП в різних базисах, методи аналізу роботи ЦП для перевірки реалізації заданих логічних функцій так часових параметрів.

1.4. Програмні результати навчання

- Застосовувати результати особистого пошуку та аналізу інформації для розв'язання якісних і кількісних задач подібного характеру в інформаційно-комунікаційних мережах, телекомунікаційних і радіотехнічних системах (ПРН 2).
- Знаходити, оцінювати і використовувати інформацію з різних джерел, необхідну для розв'язання професійних завдань, включаючи відтворення інформації через електронний пошук (ПРН 18).
- Вміти описати логічну функцію різними способами та виконати її мінімізацію.
- Вміти синтезувати схему синхронного і асинхронного послідовнісного пристрою (цифрового автомату) за його описом.
- Вміти описати на мові Verilog цифровий пристрій різними способами (структурний опис, функціональний опис, логічний опис тощо) для його реалізації на ПЛІС;
- Володіти навичками аналізу схем комбінаційних та послідовнісних пристроїв.

2. Пререквізити та постреквізити дисципліни (місце в структурно-логічній схемі навчання за відповідною освітньою програмою)

Перелік дисциплін або знань та умінь, володіння якими необхідні здобувачу вищої освіти для успішного засвоєння дисципліни	Перелік дисциплін, які базуються на результатах навчання з даної дисципліни
---	---

Дисципліна вивчається на основі предметів цифрових технологій та програмування: «Інформатика 1»	<ul style="list-style-type: none"> • «Обробка цифрових сигналів на ПЛІС в радіотехнічних системах» • «Вбудовані системи на мікроконтролерах» • «Вбудовані мікрокомп'ютерні системи радіокерування»
---	---

3. Зміст навчальної дисципліни

Тема 1. Математичні основи побудови цифрових пристроїв оброблення сигналів.

Тема 2. Автоматизація мінімізації логічних функцій.

Тема 3. Синтез логічних схем на мультиплексорах.

Тема 4. Послідовнісні цифрові пристрої.

Тема 5. Регістри та двійкові лічильники.

Тема 6. Синтез синхронних та асинхронних цифрових автоматів (ЦА).

Тема 7. Цифрові автомати Мілі і Мура.

Тема 8. Арифметичні пристрої.

Тема 9. Цифро-аналогові і аналого-цифрові перетворювачі.

4. Навчальні матеріали та ресурси

Базова література:

1. Рябенький В. М., Жуйков В. Я., Гулий В. Д. Цифрова схемотехніка: Навч. посібник. - Львів: "Новий Світ-2000", 2020. - 736 с.
2. Матвієнко М.П. Проектування цифрових пристроїв. - К: «Ліра-К», 2018, - 364 с.
3. Воробйова О.М. Цифрові пристрої: навч. посіб. - Ч. 2 / О.М. Воробйова, М.П. Савицька, Ю.В. Флейта. - Одеса: ОНАЗ ім. О.С. Попова, 2016. - 80 с.
4. Медведик А.Д. Схемотехніка цифрових пристроїв: Навчальний посібник. Збірник задач. Одес. нац. політехн. ун-т - Одеса: Наука и техніка, 2009. - 322 с.

Додаткова література:

1. Радіотехніка: Енциклопедичний навчальний довідник: Навч. Посібник /За ред. Ю. Л. Мазора - К: Вища школа, 1999. -839 с..
2. James M. Lee. Verilog Quickstart. A Practical Guide to Simulation and Synthesis in Verilog/ Third edition: - Cluwer Academic Publishers. 2002. - 355 p.

Інформаційні ресурси Інтернету:

1. Сайт дистанційного навчання на платформі Moodle Академії Mikrotik: - <http://iot.kpi.ua/lms/>
2. Платформа дистанційного навчання «Сікорський»: - <https://www.sikorsky-distance.org/>

Навчальний контент

5. Методика опанування навчальної дисципліни (освітнього компонента)

5.1. Розподіл занять за темами

Тема 1. *Лекція 1.* Основні закони алгебри логіки

Лекція 2. Поняття комбінаційних цифрових схем.

Тема 2. *Лекція 3.* Автоматизація мінімізації логічних функцій.

Лекція 4. Опис та реалізація схем простих комбінаційних пристроїв.

Тема 3. *Лекція 5.* Комбінаційні пристрої з описом на Verilog.

Лекція 6. Синтез схем комбінаційних пристроїв.

Тема 4. *Лекція 7.* Тригери.

Лекція 8. Тригери з тактуванням перепадом сигналу.

Тема 5. *Лекція 9.* Регістри.

Лекція 10. Двійкові лічильники.

Тема 6. *Лекція 11.* Синтез синхронних послідовнісних пристроїв.

Лекція 12. Синтез асинхронних послідовнісних пристроїв.

Тема 7. *Лекція 13.* Синхронні цифрові автомати Мілі і Мура.

Лекція 14. Опис на мові Verilog ЦА Мілі і Мура.

Тема 8. *Лекція 15.* Арифметичні пристрої.

Лекція 16. Виконання операцій множення чисел.

Тема 9. *Лекція 17.* Цифро-аналогові і аналого-цифрові перетворювачі.

Лекція 18. Сигма-дельта АЦП.

Модульна контрольна робота (МКР) (тести при дистанційному навчанні):

1. За темою 7.

Підготовка до заліку

Залік

5.2. Методика опанування

Лекції

Лекція 1. Основні закони алгебри логіки

Зміст лекції:

1. Поняття логічної функції та закони алгебри логіки.
2. Логічні оператори в мові Verilog.
3. Кодування потенціалів, поняття визначального потенціалу.

Лекція 2. Поняття комбінаційних цифрових схем

Зміст лекції:

1. Елементарні комбінаційні схеми: напівсуматор, одно розрядний суматор, дешифратор.
2. Реалізація комбінаційних пристроїв в різних базисах.

Лекція 3. Автоматизація мінімізації логічних функцій

Зміст лекції:

1. Використання карт Карно для мінімізації логічних функцій.
2. Особливості мінімізації при числі аргументів більше чотирьох.

Лекція 4. Опис та реалізація схем простих комбінаційних пристроїв

1. Опис на Verilog напівсуматора, суматора.
2. Шифратор, дешифратор, електронні комутатори.

Лекція 5. Комбінаційні пристрої з описом на Verilog

Зміст лекції:

1. Мультиплексори.
2. Кодоперетворювачі.
3. Опис мультиплексорів та кодоперетворювачів на Verilog.

Лекція 6. Синтез схем комбінаційних пристроїв

Зміст лекції:

1. Синтез схем на мультиплексорах з використанням карт Карно.
2. Структури *case* та *if* для опису на Verilog комбінаційних пристроїв.

Лекція 7. Тригери

Зміст лекції:

1. Послідовнісні пристрої.
2. RS-тригери.
3. D-тригер, T-тригер.

Лекція 8. Тригери з тактуванням перепадом сигналу

Зміст лекції:

1. Тригери з внутрішньою затримкою: RS-тригери, JK-тригер.
2. Опис тригерів на Verilog.
3. Динамічний тригер.

Лекція 9. Регістри

Зміст лекції:

1. Регістри: послідовні, паралельні, універсальні.
2. Опис регістрів на Verilog.

Лекція 10. Двійкові лічильники

Зміст лекції:

1. Синхронні та асинхронні двійкові лічильники.

2. Опис двійкових лічильників на Verilog.

Лекція 11. Синтез синхронних послідовністих пристроїв

Зміст лекції:

1. Методи синтезу синхронних лічильників з довільним модулем лічби.
2. Опис синхронних лічильників з довільним модулем лічби на Verilog.

Лекція 12. Синтез асинхронних послідовністих пристроїв

Зміст лекції:

1. Синтез асинхронних лічильників з довільним модулем лічби.

Лекція 13. Синхронні цифрові автомати Мілі і Мура

Зміст лекції:

1. Побудова направленого графа цифрового автомата (ЦА).
2. Побудова ЦА на тригерах з мінімізацією логічних функцій.

Лекція 14. Опис на мові Verilog ЦА Мілі і Мура

Зміст лекції:

1. Опис ЦА на Verilog з використанням направленого графа.

Лекція 15. Арифметичні пристрої

Зміст лекції:

1. Багаторозрядні суматори.
2. Арифметико-логічний пристрій.

Лекція 16. Виконання операцій множення чисел

Зміст лекції:

1. Основні методи виконання множення чисел.
2. Методи прискорення виконання множення чисел.

Лекція 17. Цифро-аналогові і аналого-цифрові перетворювачі

Зміст лекції:

1. Методи цифро-аналогового (ЦАП) і аналого-цифрового перетворення (АЦП) сигналів.
2. Схеми ЦАП і АЦП: послідовного приближення, подвійного інтегрування, паралельні.

Лекція 18. Сигма-дельта АЦП

Зміст лекції:

1. Принцип побудови сигма-дельта АЦП.
2. Сигма-дельта АЦП високих порядків.

Лабораторні роботи

Лабораторна робота 1. Дослідження лабораторного макету для апаратного моделювання логічних схем

Теоретична частина

Ознайомлення з можливостями плати керування лабораторним макетом та особливостями апаратного моделювання на макетних платах. Використовується 74 серія мікросхем.

Використовується матеріал методичних вказівок, розміщених на ресурсі Інтернет для СРС.

Практична частина під час роботи в аудиторії

1. Ознайомитися з призначенням виводів та вхідними/вихідними сигналами плати керування.
2. Вивчити призначення основних виводів та сигналів мікросхем, які використовуються в платі керування.
3. Побудувати логічну систему для формування послідовності двійкового 4-х розрядного коду на виході лічильника з індикацією вихідних сигналів лічильника за допомогою світлодіодних індикаторів та 7-ми сегментного індикатора зі спільним анодом.
4. Згідно варіанту завдання побудувати перетворювач двійково-десятькового коду в код семисегментного індикатора зі спільним катодом для 2-х сегментів та реалізувати схему на макеті.

Оформлення протоколу і його збереження у відповідній папці завдання на платформі Moodle.

Практична частина для самостійної роботи

Завдання та контрольні питання для самоперевірки викладені на інформаційному ресурсі Інтернету для СРС: <http://iot.kpi.ua/lms/>

Лабораторна робота 2. Створення проєкту в САПР Quartus за допомогою графічного введення схеми

Теоретична частина

Вивчення інтерфейсу САПР Quartus на прикладі проєктування цифрового пристрою (ЦП) на програмованій логічній інтегральній схемі (ПЛІС - FPGA) методом графічного введення схеми.

Використовується матеріал методичних вказівок, розміщених на ресурсі Інтернет для СРС.

Практична частина під час роботи в аудиторії

Записати логічну функцію згідно заданого варіанту і створити проєкт в САПР Quartus, використовуючи графічне введення схеми ЦП. Перевірити результат за допомогою симуляції, зробити висновки та відповісти на контрольні питання.

Оформлення протоколу і його збереження у відповідній папці завдання на платформі Moodle.

Завдання для самостійної роботи

Завдання та контрольні питання для самоперевірки викладені на інформаційному ресурсі Інтернету для СРС: <http://iot.kpi.ua/lms/>

Лабораторна робота 3. Мінімізація логічних функцій за допомогою карт Карно та їх реалізація на мікросхемах 74 серії

Теоретична частина

Отримати вміння з мінімізації логічних функцій за допомогою карт Карно та практичної реалізації мінімізованої функції на мікросхемах 74 серії.

Використовується матеріал Лекції 3 та ресурсу Інтернет для СРС.

Практична частина під час роботи в аудиторії

Розглядається функція 4-х змінних задана на наборах аргументів (згідно варіанту).

1. Мінімізувати логічну функцію за допомогою карт Карно та побудувати логічні схеми в базисах I-HE і АБО-HE.
2. Зібрати схему на макеті (в одному з базисів: I-HE або АБО-HE), використовуючи монтажні плати, перемички та мікросхеми 74 серії.
3. Оформити протокол результатів мінімізації з використанням карт Карно.

Оформлення протоколу і його збереження у відповідній папці завдання на платформі Moodle.

Завдання для самостійної роботи

Завдання та контрольні питання для самоперевірки викладені на інформаційному ресурсі Інтернету для СРС: <http://iot.kpi.ua/lms/>

Лабораторна робота 4. Проектування ЦП, використовуючи опис структурної схеми на мові Verilog

Теоретична частина

Вивчити методи проектування ЦП в САПР Quartus для реалізації на ПЛІС через опис структурної схеми на мові Verilog HDL.

Використовується матеріал Лекції 4 та ресурсу Інтернет для СРС.

Практична частина під час роботи в аудиторії

1. Записати логічну функцію 4-х змінних згідно заданого варіанту і створити проєкт в САПР Quartus, використовуючи опис схеми на мові Verilog HDL для пристрою, що проєктується.
2. Перевірити результат за допомогою симуляції, звернувши увагу на затримки в реальній мікросхемі, зробити висновки.

Оформлення протоколу і його збереження у відповідній папці завдання на платформі Moodle.

Завдання для самостійної роботи

Завдання та контрольні питання для самоперевірки викладені на інформаційному ресурсі Інтернету для СРС: <http://iot.kpi.ua/lms/>

Лабораторна робота 5. Проектування ЦП на мультиплексорі з описом на мові Verilog

Теоретична частина

Отримання навиків проектування ЦП на мультиплексорі з описом його поведінки та структури мультиплексора на мові Verilog HDL.

Використовується матеріал Лекції 6 та ресурсу Інтернет для СРС.

Практична частина під час роботи в аудиторії

1. Побудувати на мікросхемах KP1533КП2 схему логічного пристрою.
2. Навести логічний опис схеми на мові Verilog з використанням структури case.

Оформлення протоколу і його збереження у відповідній папці завдання на платформі Moodle.

Завдання для самостійної роботи

Завдання та контрольні питання для самоперевірки викладені на інформаційному ресурсі Інтернету для СРС: <http://iot.kpi.ua/lms/>

Лабораторна робота 6. Моделювання цифрових схем з використанням параметричних елементів

Теоретична частина

Набуття досвіду використання параметричних елементів в САПР QUARTUS II, експериментальне дослідження лічильників, побудованих на їх основі. Параметричні елементи (LPM function) – це використання вже готових мегафункцій системи проєктування для реалізації різних ЦП. Ці функції мають певну кількість параметрів, які задаються користувачем, в залежності від необхідних технічних характеристик пристрою, який проєктується.

Використовується матеріал Лекції 11 з ресурсу Інтернет для СРС.

Практична частина під час роботи в аудиторії

1. Виконати проєктування електричної схеми синхронного лічильника з довільним модулем лічби на параметричні елементи САПР QUARTUS II, який задається згідно таблиці варіантів завдань.
2. Перевірити роботу схеми в сигнальному редакторі, відповісти на контрольні питання.

Оформлення протоколу і його збереження у відповідній папці завдання на платформі Moodle.

Завдання для самостійної роботи

Завдання та контрольні питання для самоперевірки викладені на інформаційному ресурсі Інтернету для СРС: <http://iot.kpi.ua/lms/>

Лабораторна робота 7. Поведінковий опис на мові Verilog при проєктуванні синхронного лічильника

Теоретична частина

Використовується матеріал Лекції 11 та ресурсу Інтернет для СРС.

Практична частина під час роботи в аудиторії

1. Виконати синтез синхронного лічильника на JK-тригер з модулем лічби згідно варіанту завдання.
2. Створити проєкт в САПР QUARTUS II.
3. За допомогою симуляції перевірити роботу реалізованого лічильника.

Оформлення протоколу і його збереження у відповідній папці завдання на платформі Moodle.

Завдання для самостійної роботи

Завдання та контрольні питання для самоперевірки викладені на інформаційному ресурсі Інтернету для СРС: <http://iot.kpi.ua/lms/>

Лабораторна робота 8. Синтез асинхронних цифрових автоматів

Теоретична частина

Використовується матеріал Лекції 11 та ресурсу Інтернет для СРС.

Практична частина під час роботи в аудиторії

1. Виконати синтез асинхронного лічильника на JK-тригер з модулем лічби згідно варіанту завдання.

2. Створити проєкт в САПР QUARTUS II.

3. За допомогою симуляції перевірити роботу реалізованого асинхронного лічильника.

Оформлення протоколу і його збереження у відповідній папці завдання на платформі Moodle.

Завдання для самостійної роботи

Завдання та контрольні питання для самоперевірки викладені на інформаційному ресурсі Інтернету для СРС: <http://iot.kpi.ua/lms/>

Лабораторна робота 9. Проєктування синхронних цифрових автоматів Мілі та Мура

Теоретична частина

В роботі необхідно побудувати направлений граф синхронного ЦА (Мілі або Мура), який дозволяє виявити певну послідовність двійкових символів.

Використовується матеріал Лекції 13 та ресурсу Інтернет для СРС.

Практична частина під час роботи в аудиторії

1. Побудувати направлений граф ЦА для виявлення кодової комбінації двійкових символів, заданої відповідним варіантом.

2. Описати отриманий граф на мові Verilog.

3. Виконати симуляцію реалізованого ЦА.

Оформлення протоколу і його збереження у відповідній папці завдання на платформі Moodle.

Завдання для самостійної роботи

Завдання та контрольні питання для самоперевірки викладені на інформаційному ресурсі Інтернету для СРС: <http://iot.kpi.ua/lms/>

Примітка: Тривалість виконання лабораторних робіт 2 або 4 год. При виконанні лабораторних робіт в дистанційному режимі можливі коригування часу їх виконання в сторону збільшення. При цьому можливе зменшення числа ЛР.

6. Самостійна робота студента

До самостійної роботи студентів включається підготовка до аудиторних занять шляхом опанування матеріалів лекцій, вивчення базової, додаткової літератури, виконання лабораторних робіт.

Теми 1.

СРС підготовки до модульної контрольної роботи.

Тема 2. Автоматизація мінімізації логічних функцій.

СРС до Лабораторних робіт 1 – 4.

Тема 3. Синтез логічних схем на мультиплексорах.

СРС до Лабораторної роботи 5-6.

Тема 4. Послідовнісні цифрові пристрої.

СРС до Лабораторної роботи 7.

Тема 6. Синтез синхронних та асинхронних цифрових автоматів.

СРС до Лабораторної роботи 8.

Тема 7. Цифрові автомати Мілі і Мура.

СРС до Лабораторної роботи 9.

Виконання домашньої контрольної роботи (тести при дистанційному навчанні).

Підготовка до заліку.

Політика та контроль

7. Політика навчальної дисципліни (освітнього компонента)

7.1. Форми роботи

Лекції проводяться з використанням наочних засобів представлення матеріалу та з використанням методичних матеріалів, доступ до яких наявний у здобувачів вищої освіти. Студенти отримують всі матеріали через навчальну платформу Moodle, e-mail, кампус. Для спілкування та консультацій використовується telegram-група.

Здобувачі вищої освіти залучаються до обговорення лекційного матеріалу та задають питання, щодо його сутності.

При виконанні лабораторних робіт застосовуються форми індивідуальної та колективної роботи (командна робота, парна робота) для реалізації завдань викладача на набуття навичок самостійної практичної роботи.

Під час вивчення курсу застосовуються стратегії активного і колективного навчання, які визначаються наступними методами і технологіями:

1. методи проблемного навчання (проблемний виклад, частково-пошуковий (евристична бесіда) і дослідницький метод);
2. особистісно-орієнтовані (розвиваючі) технології, засновані на активних формах і методах навчання («мозковий штурм», «аналіз ситуацій» тощо);
3. інформаційно-комунікаційні технології, що забезпечують проблемно-дослідницький характер процесу навчання та активізацію самостійної роботи здобувачів вищої освіти (електронні презентації, застосування на основі комп'ютерних і мультимедійних засобів практичних завдань (тести), доповнення традиційних навчальних занять засобами взаємодії на основі мережевих комунікаційних можливостей (програмні засоби, мобільні додатки тощо).

7.2. Правила відвідування занять

Заняття можуть проводитись в навчальних аудиторіях згідно розкладу. Також заняття можуть проводитись дистанційно в асинхронному режимі з використанням навчальної платформи Moodle з однозначною ідентифікацією здобувача вищої освіти. Проведення занять онлайн повинне бути передбачене відповідним наказом по КПІ ім. Ігоря Сікорського.

За наявності поважних причин здобувач вищої освіти повинен завчасно (за 1 день) повідомити викладача про причини можливого пропуску контрольного заходу. Всі контрольні заходи (тести) в дистанційному режимі проводяться синхронно (одночасно для всіх студентів).

Якщо завчасно повідомити не вдалось, здобувач вищої освіти протягом одного тижня має зв'язатись з викладачем для погодження форми і порядку усунення заборгованості.

Якщо аудиторне заняття випадає на неробочий день (святковий, пам'ятний тощо), то матеріал такого заняття частково переходить в категорію «Самостійна робота здобувачів вищої освіти», а частково додається до наступного заняття.

7.3. Правила призначення заохочувальних та штрафних балів

Заохочувальні бали:

+10 балів – студенту автору статті (доповіді на конференції) за тематикою курсу (тільки за умови подання комплекту матеріалів).

Сума всіх заохочувальних балів не може перевищувати 10 балів.

Штрафні бали:

-1 бал за затримку завантаження протоколу ЛР (понад 2 тижні) та відсутність без поважних причин на лабораторній роботі.

Політика щодо академічної доброчесності

Політика та принципи академічної доброчесності визначені у розділі 3 Кодексу честі Національного технічного університету України «Київський політехнічний інститут імені Ігоря Сікорського». Детальніше: <https://kpi.ua/code>

Норми етичної поведінки

Норми етичної поведінки студентів і працівників визначені у розділі 2 Кодексу честі Національного технічного університету України «Київський політехнічний інститут імені Ігоря Сікорського». Детальніше: <https://kpi.ua/code>

8. Види контролю та рейтингова система оцінювання результатів навчання (PCO)

9.1. Види контролю

Вид контролю	Спосіб контролю
Поточний контроль	Частина 1. Перевірка підготовки до лабораторних робіт (експрес-опитування, тестування) Частина 2. Перевірка виконання лабораторних робіт (протоколів) відповідно до розкладу занять, модульні контрольні роботи, домашня контрольна робота
Календарний контроль	Проводиться двічі на семестр як моніторинг поточного стану виконання вимог силабусу
Семестровий контроль	Залік

9.2. Рейтингова система оцінювання результатів навчання

Головна частина рейтингу студента формується через активну участь у лабораторних роботах, отримання результатів модульної контрольної роботи (тестів) та виконанні домашньої контрольної роботи.

Модульну контрольну роботу та залік проводить лектор - викладач кафедри **радіотехнічних систем**.

1) Поточний контроль

Проводяться експрес-опитування за темою заняття, виконання тестових завдань, обговорення правових кейсів, підготовка проєктів документів

Рейтинг студента складається з балів, що отримуються за експрес-опитування за темою заняття, обговорення правових кейсів, вирішення практичних завдань, доповнення відповідей інших студентів у процесі дискусії на практичних заняттях, виконання тестових завдань онлайн та підготовки проєктів документів. У випадку відсутності студента на лабораторній роботі, необхідно відпрацювати пропущене заняття. Виконання всіх лабораторних робіт є умовою отримання позитивної оцінки за результатами навчання.

1. Лабораторні роботи

Ваговий бал - 4.

Критерії оцінювання:

- «відмінно», повне виконання завдання - 4;
- «добре», виконання завдання, але теоретичні знання недостатні - 3
- «задовільно», виконання завдання, але відсутній звіт - 1-2;
- «незадовільно», робота не виконувалась - 0.

Затримка із захистом роботи більше, ніж на 2 тижні -1 бал.

Максимальна кількість балів за всі лабораторні роботи дорівнює $4 \times 9 = 36$ балів.

1. Модульний контроль (МКР)

Ваговий бал - 5.

Кількість частин для контролю - 5

Критерії оцінювання:

- «відмінно», повна відповідь на всі питання та повне виконання завдання (не менше 90%) - 5 балів;
- «добре», достатньо повна відповідь та повне виконання завдання (не менше 75%), або повна з незначними похибками - 4...3 балів;
- «задовільно», неповна відповідь (не менше 60%) та незначні помилки - 2..1 балів
- «незадовільно», незадовільне виконання завдання (не відповідає вимогам) - 0 балів.

Максимальна кількість балів за всі контрольні роботи дорівнює $5 \times 5 = 25$ балів

Примітка: При дистанційному навчанні модульний контроль замінюється тестами.

1. Домашня контрольна робота (ДКР)

Ваговий бал - 15.

Критерії оцінювання:

- «відмінно», повне виконання завдання (не менше 90%) - 13-15 балів;
- «добре», достатньо повне виконання завдання (не менше 75%), або повне з незначними похибками - 10...12 бали;
- «задовільно», неповне виконання завдання (не менше 60%) - 6-9 бал;
- «достатньо», неповне виконання завдання (менше 60%) - 1-5 балів;
- «незадовільно», завдання не виконувалося - 0 балів.

Максимальна кількість балів за ДКР дорівнює $15 \times 1 = 15$ балів

Примітка: При дистанційному навчанні ДКР замінюється 3-ма тестами.

Штрафні та заохочувальні бали за (сума як штрафних, так і заохочувальних балів не має перевищувати (4 бали):

- відсутність на лабораторному занятті без поважних причин -1
- участь у модернізації, супроводженні та адмініструванні дисципліни, виконання завдань з удосконалення методичних та дидактичних матеріалів з дисципліни +1...+2

Загальний рейтинговий бал дисципліни (максимум 100 балів):

$$R_{\Sigma} = R_{\text{ЗКР}} + R_{\text{ЛР}} + R_{\text{МКР}} + R_{\text{ДКР}}$$

де $R_{\text{ЗКР}}$ - рейтинговий бал за залікову контрольну роботу з дисципліни (від 0 до 24 балів);

$R_{\text{ЛР}}$ - рейтингові бали за виконання лабораторних робіт №1...№9;

$R_{\text{МКР}}$ - рейтингові бали за модульні контрольні роботи (тести) (від 0 до 25 балів);

$R_{\text{ДКР}}$ - рейтингові бали за домашню контрольну роботу (від 0 до 15 балів).

Рейтингова шкала з дисципліни складає:

$$R = 36_{\text{ЛР}} + 25_{\text{МКР}} + 15_{\text{ДКР}} + 24_{\text{Залік}} = 100 \text{ балів}$$

Примітка: При дистанційному навчанні МКР і ДКР замінюється 8-ма тестами.

Остаточний рейтинг не може перевищувати 100 балів.

2) Календарний контроль

Здійснюється двічі на семестр як моніторинг поточного стану виконання вимог силабусу

Критерій	Перший	Другий
Термін	8-й тиждень	14-й тиждень
Умови отримання позитивного результату	якщо поточний рейтинговий бал складає не менше 50% від максимально можливого балу на момент календарного контролю	якщо поточний рейтинговий бал складає не менше 50% від максимально можливого балу на момент календарного контролю

3) Залікова контрольна робота

Максимальна рейтингова оцінка без врахування залікової контрольної роботи складає 76 балів.

Якщо здобувача вищої освіти не задовольняє набрана кількість балів, то результати рейтингової оцінки не скасовуються, а здобувач вищої освіти пише залікову контрольну роботу з дисципліни, бали якої додаються до отриманих раніше.

Кожне питання оцінюється з 24 балів відповідно до системи оцінювання:

- "відмінно", повна відповідь (не менше 90% потрібної інформації) - 24...22 балів;
- "добре", достатньо повна відповідь (не менше 75% потрібної інформації, або незначні неточності) - 20...15 бал;
- "задовільно", неповна відповідь (не менше 60% потрібної інформації та деякі помилки) - 14...10 балів;
- "незадовільно", незадовільна відповідь - 0 балів.

Примітка: При дистанційному навчанні залік проводиться у вигляді тесту (24 - 48 питань).

Тест проводиться на платформі дистанційного навчання Moodle і питання можуть бути різної форми, які можна реалізувати в Moodle.

Таблиця відповідності рейтингових балів оцінкам за університетською шкалою

Кількість балів	Оцінка
100-95	Відмінно
94-85	Дуже добре
84-75	Добре
74-65	Задовільно
64-60	Достатньо
Менше 60	Незадовільно
Не виконані умови допуску	Не допущено

9. Додаткова інформація з дисципліни (освітнього компонента)

Приклади завдань для лабораторних робіт та ДКР

Функція 5-ти змінних задана на наборах аргументів. Мінімізувати логічну функцію за допомогою карт Карно та побудувати логічні схеми в базисах I-HE та АБО-HE. Описати отримані функції на мові Verilog для реалізації на ПЛІС.

Таблиця варіантів

№ п/п	Функція істинна	Функція хибна	Функція не визначена
1	1,2,4,9,11,2,27,31	0,3,10,15,17,18,19,20	
2		9,10,11,12,14,15,20,21,22	1,3,4,6,7,25,26,27
3	1,2,3,7,8,9,19,20,21,22	0,13,14,15,16,17,19,30	
4		1,8,10,11,17,18,24,25,26,29	0,2,14,15,20,21
5	5,7,11,13,15,21,27,28,30	6,8,9,10,14	
6	7,9,10,12,14,17,19,21,22,29	1,2,4,6,8,18,26,27,31	
7	2,4,5,6,8,14,26,27,28,30		1,7,11,12,21,22
8	0,4,5,6,7,8,9,17,20,21		1,2,3,24,25,27,28,29
9	2,3,8,19,21,27,29		4,5,6,7,9,11,12,17
10	2,3,5,8,9,15,16,17		1,4,10,11,13,14,21,22
11	7,8,9,10,11,12,17,18,19,20		1,2,3,4,5,16,29,30,31
12	2,3,8,11,14,15,23,25,28,29	17,18,19,20,30,31	
13	3,14,19,23,27,31		11,12,15,17,18,20,21
14		8,12,13,14,15,19,21,23	1,2,3,10,27,29,30
15	1,7,9,11,13,15,18,19,20	2,3,4,10,12,14,21,27	
16		2,4,6,7,11,24,25,27,30	0,3,10,12,15,17,20,21
17	5,8,19,21,27,29,30	2,3,12,14,18,24	
18	0,1,2,3,7,8,9,10,14,17,21		4,5,11,12,23,24,25
19	1,2,7,8,9,29,30		3,4,10,11,19,24,28,31
20		3,14,19,23,27,28,31	11,12,18,20,22,25
21		0,2,3,8,19,21,27,28,29	4,5,6,11,12,16,17,18
22	3,5,6,9,13,14,18,24,28,29		1,7,8,19,21,22,31
23		1,3,4,12,14,19,23,28,31	5,7,8,10,21,22,25
24	8,11,14,16,23,24,25,29,30		4,6,17,18,19,20,21
25	3,14,15,16,19,23,27,31		11,12,17,20,21
26		2,8,11,14,16,23,25,29,31	4,6,17,18,19,20
27	1,2,4,9,13,15,17,18,19	3,5,7,12,24,25,26,31	
28	0,2,10,11,12,14,15,23,28	17,19,20,21,22,24,25,26	
29	4,7,9,11,23,27,29		10,14,15,16,17,19
30	2,4,8,10,11,12,13,14,17		16,19,20,21,23,24,25,26

Завдання 2-1

Побудувати на мікросхемах КР1533КП2 логічний пристрій, на виході якого з"являється високий рівень сигналу, якщо вхідне 6-розрядне двійкове число ділиться на 3 або на 4. Описати отриманий пристрій на мові Verilog.

Завдання 2-2

Побудувати на мікросхемах КР1533КП2 логічний пристрій, на виході якого з"являється високий рівень сигналу, якщо вхідне 6-розрядне двійкове число ділиться на 4 або на 5. Описати отриманий пристрій на мові Verilog.

Завдання 2-3

Побудувати на мікросхемах КР1533КП2 логічний пристрій, на виході якого з"являється високий рівень сигналу, якщо вхідне 6-розрядне двійкове число ділиться на 5 або на 6, або на 7. Описати отриманий пристрій на мові Verilog.

Завдання 2-4

Побудувати на мікросхемах КР1533КП2 логічний пристрій, на виході якого з"являється високий рівень сигналу, якщо вхідне 6-розрядне двійкове число ділиться на 3 або на 5. Описати отриманий пристрій на мові Verilog.

Завдання 2-5

Побудувати на мікросхемах КР1533КП2 логічний пристрій, на виході якого з"являється високий рівень сигналу, якщо вхідне 6-розрядне двійкове число ділиться на 5 або на 7, або на 8. Описати отриманий пристрій на мові Verilog.

Завдання 2-6

Побудувати на мікросхемах КР1533КП2 логічний пристрій, на виході якого з"являється високий рівень сигналу, якщо вхідне 6-розрядне двійкове число ділиться на 4 або на 7. Описати отриманий пристрій на мові Verilog.

Завдання 2-7

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятькового коду з вагою розрядів 5-4-2-1 в код семисегментного індикатора (розглянути функції А і В). Описати отриманий пристрій на мові Verilog.

Завдання 2-8

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятькового коду з вагою розрядів 5-4-2-1 в код семисегментного індикатора (розглянути функції С і D). Описати отриманий пристрій на мові Verilog.

Завдання 2-9

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятькового коду з вагою розрядів 5-4-2-1 в код семисегментного індикатора (розглянути функції Е і F). Описати отриманий пристрій на мові Verilog.

Завдання 2-10

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятькового коду з вагою розрядів 8-4-2-1 в код семисегментного індикатора (розглянути функції А і В). Описати отриманий пристрій на мові Verilog.

Завдання 2-11

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятькового коду з вагою розрядів 8-4-2-1 в код семисегментного індикатора (розглянути функції С і D). Описати отриманий пристрій на мові Verilog.

Завдання 2-12

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятькового коду з вагою розрядів 8-4-2-1 в код семисегментного індикатора (розглянути функції E і F). Описати отриманий пристрій на мові Verilog.

Завдання 2-13

Побудувати на мікросхемах КР1533КП2 перетворювач двійкового коду в п’ятирозрядний код Джонсона. Описати отриманий пристрій на мові Verilog.

Завдання 2-14

Побудувати на мікросхемах КР1533КП2 перетворювач п’ятирозрядного коду Джонсона в двійковий код. Описати отриманий пристрій на мові Verilog.

Завдання 2-15

Побудувати на мікросхемах КР1533КП2 пристрої, що реалізують мажоритарні функції 5-ти і 6-ти аргументів. (Мажоритарна функція рівна “1”, якщо половина і більше аргументів рівні “1”). Описати отриманий пристрій на мові Verilog.

Завдання 2-16

Побудувати на мікросхемах КР1533КП2 пристрої, що реалізують інверсні мажоритарні функції 5-ти і 6-ти аргументів. (Інверсна мажоритарна функція рівна “1”, якщо половина і більше аргументів рівні “0”). Описати отриманий пристрій на мові Verilog.

Завдання 2-17

Побудувати на мікросхемах КР1533КП2 перетворювач коду Грея в двійковий код:

0 - 0000	4 - 0110	8 - 1100	12 - 1010
1 - 0001	5 - 0111	9 - 1101	13 - 1011
2 - 0011	6 - 0101	10 - 1111	14 - 1001
3 - 0010	7 - 0100	11 - 1110	15 - 1000

Описати отриманий пристрій на мові Verilog.

Завдання 2-18

Побудувати на мікросхемах КР1533КП2 перетворювач коду Грея в двійково-десятковий код:

0 - 0000	4 - 0110	8 - 1100	12 - 1010
1 - 0001	5 - 0111	9 - 1101	13 - 1011
2 - 0011	6 - 0101	10- 1111	14 - 1001
3 - 0010	7 - 0100	11- 1110	15 - 1000

Описати отриманий пристрій на мові Verilog.

Завдання 2-19

Побудувати на мікросхемах КР1533КП2 перетворювач двійкового коду в код Грея:

0 - 0000	4 - 0110	8 - 1100	12 - 1010
1 - 0001	5 - 0111	9 - 1101	13 - 1011
2 - 0011	6 - 0101	10- 1111	14 - 1001
3 - 0010	7 - 0100	11- 1110	15 - 1000

Описати отриманий пристрій на мові Verilog.

Завдання 2-20

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятьового коду в код Грея:

0 - 0000	4 - 0110	8 - 1100	12 - 1010
1 - 0001	5 - 0111	9 - 1101	13 - 1011
2 - 0011	6 - 0101	10- 1111	14 - 1001
3 - 0010	7 - 0100	11- 1110	15 - 1000

Описати отриманий пристрій на мові Verilog.

Завдання 2-21

Побудувати на мікросхемах КР1533КП2 перетворювач 4-розрядного прямого двійкового коду в доповнюючий код, при умові, що старший розряд - знаковий.

Описати отриманий пристрій на мові Verilog.

Завдання 2-22

Побудувати на мікросхемах КР1533КП2 перетворювач 4-розрядного доповнюючого двійкового коду в прямий код, при умові, що старший розряд - знаковий. Описати отриманий пристрій на

мові Verilog.

Завдання 2-23

Побудувати на мікросхемах КР1533КП2 перетворювач 4-розрядного прямого двійкового коду від"ємного числа в доповнюючий код, при умові, що знаковий розряд відсутній. Описати отриманий пристрій на мові Verilog.

Завдання 2-24

Побудувати на мікросхемах КР1533КП2 перетворювач 4-розрядного доповнюючого двійкового коду від"ємного числа в прямий код, при умові, що знаковий розряд відсутній. Описати отриманий пристрій на мові Verilog.

Завдання 2-25

Побудувати на мікросхемах КР1533КП2 перетворювач коду 2 із 5 в двійковий код:

0 - 11000	4 - 01001	8 - 10010
1 - 00011	5 - 01010	9 - 10100
2 - 00101	6 - 01100	
3 - 00110	7 - 10001	

Описати отриманий пристрій на мові Verilog.

Завдання 2-26

Побудувати на мікросхемах КР1533КП2 перетворювач двійкового коду в код 2 із 5:

0 - 11000	4 - 01001	8 - 10010
1 - 00011	5 - 01010	9 - 10100
2 - 00101	6 - 01100	
3 - 00110	7 - 10001	

Описати отриманий пристрій на мові Verilog.

Завдання 2-27

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятькового коду з вагою розрядів 2-4-2-1 в код семисегментного індикатора (розглянути функції А і В).

Описати отриманий пристрій на мові Verilog.

Завдання 2-28

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятькового коду з вагою розрядів 2-4-2-1 в код семисегментного індикатора (розглянути функції С і D).

Описати отриманий пристрій на мові Verilog.

Завдання 2-29

Побудувати на мікросхемах КР1533КП2 перетворювач двійково-десятькового коду з вагою розрядів 2-4-2-1 в код семисегментного індикатора (розглянути функції E і F).

Описати отриманий пристрій на мові Verilog.

Завдання 2-30

Побудувати на мікросхемах КР1533КП2 перетворювач двійкового коду з надлишком 3, який утворюється додаванням 0011_2 до кожного двійкового коду цифри, в код семисегментного індикатора. Описати отриманий пристрій на мові Verilog.

Завдання 3-х

Синтезувати схему віднімаючого (підсумовуючого) синхронного лічильника з модулем лічби $M=9$ на JK-тригерах КР1533ТВ6(ТВ9,ТВ10), використовуючи задані стани з 0 по 8. Побудувати часові діаграми роботи схеми, перевірити лічильник на стійкість та, при необхідності, змінити схему, щоб забезпечити її стійкість. Синтез схеми виконати, починаючи із попереднього встановлення станів тригерів при вмиканні напруги живлення.

Описати отриманий пристрій на мові Verilog.

Варіанти завдання

№п/п	Тип лічильника	M	Тип тригера	Стани
1	Віднімаючий	14	КР1533ТВ6	0-13
2	Додавальний	13	КР1533ТВ9	1-13
3	Віднімаючий	12	КР1533ТВ10	2-13
4	Додавальний	11	КР1533ТВ6	2-12
5	Віднімаючий	10	КР1533ТВ9	3-12
6	Додавальний	9	КР1533ТВ10	3-11
7	Віднімаючий	14	КР1533ТВ6	1-14
8	Додавальний	13	КР1533ТВ9	0-12
9	Віднімаючий	12	КР1533ТВ10	1-12
10	Додавальний	11	КР1533ТВ6	3-13
11	Віднімаючий	10	КР1533ТВ9	4-13
12	Додавальний	9	КР1533ТВ10	6-14
13	Віднімаючий	14	КР1533ТВ6	2-15
14	Додавальний	13	КР1533ТВ9	2-14
15	Віднімаючий	12	КР1533ТВ10	3-14
16	Додавальний	11	КР1533ТВ6	5-15
17	Віднімаючий	10	КР1533ТВ9	5-14

18	Додавальний	9	KP1533TB10	7-15
19	Віднімаючий	14	KP1533TB6	0-13
20	Додавальний	13	KP1533TB9	2-14
21	Віднімаючий	12	KP1533TB10	4-15
22	Додавальний	11	KP1533TB6	4-14
23	Віднімаючий	10	KP1533TB9	6-15
24	Додавальний	9	KP1533TB10	2-10
25	Віднімаючий	14	KP1533TB6	1-14
26	Додавальний	13	KP1533TB9	0-12
27	Віднімаючий	12	KP1533TB10	0-11
28	Додавальний	11	KP1533TB6	0-10
29	Віднімаючий	10	KP1533TB9	0-9
30	Додавальний	9	KP1533TB10	1-9

Завдання 4-х

Синтезувати схему віднімаючого (підсумовуючого) **асинхронного** лічильника з заданим модулем лічби на JK-тригерах серії KP1533, використовуючи задані стани. Синтез схеми виконати, починаючи із попереднього встановлення станів тригерів при вмиканні напруги живлення. Описати отриману схему лічильника на мові Verilog.

Завдання 5-1

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **SOS**. Букви (**S** = 001, **O** = 110) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-2

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **КОД**. Букви (**К**=001,**О**=101, **Д** =110) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-3

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **END**. Букви (**E**=001, **N**=011, **D**=110) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-4

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **OFF**. Букви (**F** =011, **O** = 001) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-5

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **ERR**. Букви (**E** =001, **R** = 110) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-6

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **DOC**. Букви (**D**=010, **O**=001, **C**=101) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-7

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **ISK**. Букви (**S**=110, **I**=010, **K**=100) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-8

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **RED**. Букви (**R**=010, **E**=000, **D**=110) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-9

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **OUT**. Букви (**U**=101, **O**=010, **T**=111) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-10

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **КНЦ**. Букви (**K**=010, **H**=111, **Ц**=011) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-11

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **ARG**. Букви (**A**=011, **R**=101, **G**=001) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на

мові Verilog.

Завдання 5-12

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **SIN**. Букви (**S**=011, **I**=010, **N**=110) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-13

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **COS**. Букви (**C**=011, **O**=111, **S**=001) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-14

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **ARC**. Букви (**A**=011, **R**=001, **C**=101) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-15

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **BIN**. Букви (**B**=011, **I**=101, **N**=010) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-16

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **PIK**. Букви (**P**=100, **I**=101, **K**=010) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-17

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **KCI**. Букви (**K**=100, **C**=011, **I**=101) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-18

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **РІД**. Букви (**Р**=100, **І**=010, **Д**=110) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-19

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **ММХ**. Букви (**М**=100, **Х**=110) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-20

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **PEN**. Букви (**Р**=100, **Е**=110, **Н**=111) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-21

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **ІНТ**. Букви (**І**=101, **Н**=011, **Т**=010) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-22

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **СТО**. Букви (**С**=101, **Т**=010, **О**=111) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-23

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **ДЕС**. Букви (**Д**=101, **Е**=001, **С**=110) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-24

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **МІС**. Букви (**М**=101, **І**=011, **С**=001) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-25

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мура, який дозволяє виявити в прийнятій послідовності букв слово **ЧИП**. Букви (**Ч**=101, **І**=100, **П**=011) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-26

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **ОРГ**. Букви (**О**=110, **Р**=101, **Г**=111) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-27

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **ЗІР**. Букви (**З**=110, **І**=100, **Р**=010) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-28

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **ДНК**. Букви (**Д**=110, **Н**=011, **К**=100) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-29

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **ВІГ**. Букви (**В**=110, **І**=010, **Г**=111) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Завдання 5-30

Використовуючи мінімальне число RS-тригерів побудувати схему автомата Мілі, який дозволяє виявити в прийнятій послідовності букв слово **СОН**. Букви (**С**=110, **О**=001, **Н**=101) передані послідовним кодом, починаючи із старшого розряду. Описати схему цифрового автомата на мові Verilog.

Опис матеріально-технічного та інформаційного забезпечення дисципліни

Робочу програму навчальної дисципліни (силабус):

Складено [Могильний С. Б.](#);

Ухвалено кафедрою РТС (протокол № від)

Погоджено методичною комісією факультету/ІНІ (протокол № _____ від _____)